

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H03K 19/0175 (2006.01)

G09G 3/36 (2006.01)



[12] 发明专利说明书

专利号 ZL 200310118251.1

[45] 授权公告日 2007 年 10 月 31 日

[11] 授权公告号 CN 100346575C

[22] 申请日 2003.12.8

[21] 申请号 200310118251.1

[73] 专利权人 统宝光电股份有限公司

地址 中国台湾

[72] 发明人 许维仁 柯明道 李英信 石 安

[56] 参考文献

CN1433076A 2003.7.30

审查员 李燕东

[74] 专利代理机构 北京市柳沈律师事务所

代理人 黄小临

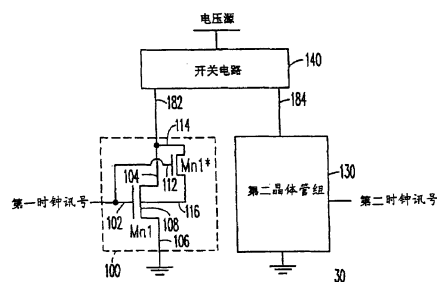
权利要求书 3 页 说明书 11 页 附图 6 页

[54] 发明名称

位阶转换器

[57] 摘要

本发明是关于一种具有基底偏置功能的位阶转换器。该位阶转换器偶接第一和第二时钟讯号，包括第一和第二输入晶体管、至少一个偏压晶体管、第一和第二开关晶体管。其中至少一个偏压晶体管的漏极端耦接至该第一或第二输出端，源极端耦接至该第一或第二输入晶体管的基底，栅极端接收该第一或第二时钟讯号。本发明的位阶转换器是利用输出讯号的高电位提高输入晶体管的基底电位，以降低其临界电压，缩短讯号转换时间，该位阶转换器对输入晶体管的基底偏置效果好，可以进一步提高讯号转换速度，且可适应输入讯号电平的低电压化。



1、一种位阶转换器，电性耦接至一电压源、一第一时钟讯号与一第二时钟讯号，包括：

一开关电路，具有一第一输出端与一第二输出端，接收该电压源；以及
一第一晶体管组，包括：

一第一输入晶体管，具有漏极端、源极端、栅极端与基底，该第一输入晶体管的漏极端耦接至该第一输出端，该第一输入晶体管的源极端接地，该第一输入晶体管的栅极端接收该第一时钟讯号；和

一第一偏压晶体管，具有漏极端、源极端与栅极端；以及

一第二晶体管组，一端电性耦接于该第二输出端，另一端接地，以该第二时钟讯号决定该第二输出端与地之间导通与否；

其特征是，该第一偏压晶体管的漏极端耦接至该第一输出端，该第一偏压晶体管的源极端耦接至该第一输入晶体管的基底，该第一偏压晶体管的栅极端接收该第一时钟讯号与该第二时钟讯号其中之一。

2、根据权利要求1所述的位阶转换器，其特征在于其中所述的开关电路包括：

一第一开关晶体管，具有漏极端、源极端与栅极端，该第一开关晶体管的漏极端耦接至该电压源，该第一开关晶体管的源极端与栅极端耦接至该第一输出端；以及

一第二开关晶体管，具有漏极端、源极端与栅极端，该第二开关晶体管的漏极端耦接至该电压源，该第二开关晶体管的源极端耦接至该第二输出端，该第二开关晶体管的栅极端耦接至该第一输出端。

3、根据权利要求1所述的位阶转换器，其特征在于其中所述的开关电路包括：

一第一开关晶体管，具有漏极端、源极端与栅极端，该第一开关晶体管的漏极端耦接至该电压源，该第一开关晶体管的源极端耦接至该第一输出端，该第一开关晶体管的栅极端耦接至该第二输出端；以及

一第二开关晶体管，具有漏极端、源极端与栅极端，该第二开关晶体管的漏极端耦接至该电压源，该第二开关晶体管的源极端耦接至该第二输出

端, 该第二开关晶体管的栅极端耦接至该第一输出端。

4、根据权利要求 1 所述的位阶转换器, 其特征在于其中所述的第一晶体管组的该第一输入晶体管与该第一偏压晶体管为 N 型金属氧化物半导体, 该第一偏压晶体管的栅极端耦接至该第一时钟讯号。

5、根据权利要求 1 所述的位阶转换器, 其特征在于其中所述的第一晶体管组的该第一输入晶体管为 N 型金属氧化物半导体, 该第一偏压晶体管为 P 型金属氧化物半导体, 该第一偏压晶体管的栅极端耦接至该第二时钟讯号。

6、根据权利要求 1 所述的位阶转换器, 其特征在于其中所述的第二晶体管组包括:

一第二输入晶体管, 具有漏极端、源极端、栅极端与基底, 该第二输入晶体管的漏极端耦接至该第二输出端, 该第二输入晶体管的源极端接地, 该第二输入晶体管的栅极端接收该第二时钟讯号; 以及

一第二偏压晶体管, 具有漏极端、源极端与栅极端, 该第二偏压晶体管的漏极端耦接至该第二输入晶体管的栅极端, 该第二偏压晶体管的源极端耦接至该第二输入晶体管的基底, 该第二偏压晶体管的栅极端耦接至该第二输出端与该第一输出端其中之一。

7、根据权利要求 6 所述的位阶转换器, 其特征在于其中所述的第二晶体管组的该第二输入晶体管与该第二偏压晶体管为 N 型金属氧化物半导体, 该第二偏压晶体管的栅极端是耦接至该第二输出端。

8、根据权利要求 6 所述的位阶转换器, 其特征在于其中所述的第二晶体管组的该第二输入晶体管为 N 型金属氧化物半导体, 该第二偏压晶体管为 P 型金属氧化物半导体, 该第二偏压晶体管的栅极端是耦接至该第一输出端。

9、根据权利要求 1 所述的位阶转换器, 其特征在于其中所述的第二晶体管组包括:

一第二输入晶体管, 具有漏极端、源极端、栅极端与基底, 该第二输入晶体管的漏极端耦接至该第二输出端, 该第二输入晶体管的源极端接地, 该第二输入晶体管的栅极端接收该第二时钟讯号; 以及

一第二偏压晶体管, 具有漏极端、源极端与栅极端, 该第二偏压晶体管的漏极端耦接至该第二输出端, 该第二偏压晶体管的源极端耦接至该第二输入晶体管的基底, 该第二偏压晶体管的栅极端耦接至该第二时钟讯号与该第一时钟讯号其中之一。

10、根据权利要求9所述的位阶转换器，其特征在于其中所述的第二晶体管组的该第二输入晶体管与该第二偏压晶体管为N型金属氧化物半导体，该第二偏压晶体管的栅极端是耦接至该第二时钟讯号。

11、根据权利要求9所述的位阶转换器，其特征在于其中所述的第二晶体管组的该第二输入晶体管为N型金属氧化物半导体，该第二偏压晶体管为P型金属氧化物半导体，该第二偏压晶体管的栅极端是耦接至该第一时钟讯号。

位阶转换器

技术领域

本发明涉及一种位阶转换器，特别是涉及一种以主动式基底偏压技术来缩短讯号转换时间的位阶转换器。

背景技术

多媒体社会的急速进步，多半受惠于半导体组件或人机显示装置的飞跃性进步。就显示器而言，阴极射线管(Cathode Ray Tube, CRT)因具有优异的显示品质与其经济性，一直独占近年来的显示器市场。然而，对于个人在桌上操作多数终端机/显示器装置的环境，或是以环保的观点切入，若以节省能源的潮流加以预测，阴极射线管因空间利用以及能源消耗上仍存在很多问题，而对于轻、薄、短、小以及低消耗功率的需求无法有效提供解决之道。因此，具有高画质、空间利用效率佳、低消耗功率、无辐射等优越特性的薄膜晶体管液晶显示器(Thin Film Transistor Liquid Crystal Display, TFT LCD)已逐渐成为市场的主流。

在液晶显示器中，位阶转换器(Level Shifter)为液晶显示器面板中扫描驱动器与数据驱动器的重要电路，其可将低电位输入讯号转换为高电位输出讯号。现今液晶显示器常使用的低温多晶硅(Low-Temperature Poly-Silicon, 简称 LTPS)具有较高的临界电压与较低的迁移率，因此，随着面板画素的增加，使用低温多晶硅的液晶显示器的操作速度会逐渐变的不足。

图 1A 是现有的一种位阶转换器的电路图。该位阶转换器 50，包括第一输入晶体管 Mn1、第一基底偏压电路 510、第一开关晶体管 Mp1、第二输入晶体管 Mn2、第二基底偏压电路 530 与第二开关晶体管 Mp2。第一输入晶体管 Mn1 的栅极端 502 耦接至第一时钟讯号的讯号源，源极端 506 接地。第一基底偏压电路 510 的输出端 516 耦接至第一输入晶体管 Mn1 的基底 508，输入端 518 耦接至第一输入晶体管 Mn1 的栅极端 502。第二输入晶体管 Mn2 的漏极端 524 耦接至输出端 560，栅极端 522 耦接至第二时钟讯号的讯号源，源极端 526 接

地。第二基底偏压电路 530 的输出端 536 耦接至第二输入晶体管 Mn2 的基底 528, 输入端 538 耦接至第二输入晶体管 Mn2 的栅极端 522。第一开关晶体管 Mp1 的漏极端 544 耦接至电压源, 栅极端 542 与源极端 546 耦接至第一输入晶体管 Mn1 的漏极端 504。第二开关晶体管 Mp2 的漏极端 554 耦接至电压源, 栅极端 552 耦接至第一开关晶体管 Mp1 的栅极端 542, 源极端 556 耦接至第二输入晶体管 Mn2 的漏极端 524。

其中, 第一基底偏压电路 510 与第二基底偏压电路 530 分别包括缓冲器 512、514 与缓冲器 532、534。

上述位阶转换器的动作方式为当第一时钟讯号为逻辑高电位, 第二时钟讯号为逻辑低电位时, 第一输入晶体管 Mn1、第一开关晶体管 Mp1 与第二开关晶体管 Mp2 将被导通, 第二输入晶体管 Mn2 未导通。而当第一时钟讯号由逻辑高电位转为逻辑低电位, 第二时钟讯号由逻辑低电位转为逻辑高电位时, 第一输入晶体管 Mn1、第一开关晶体管 Mp1 与第二开关晶体管 Mp2 将截止, 此时第二基底偏压电路 530 将在第二输入晶体管 Mn2 的基底 528 上加上一高电位, 以抑制第二晶体管 Mn2 的临界电压, 以提高位阶转换器 50 的操作速度。但是, 在现有的位阶转换器 50 中, 其因存在第一基底偏压电路 510 与第二基底偏压电路 530, 使得整个位阶转换器 50 的电路体积相当大。

申请号为 03101695.2 的中国专利申请披露了一种位阶转换器电路, 其是利用一偏压晶体管实现对输入晶体管基底的偏置。如图 1B 所示, 偏压晶体管 55 的源极端接输入信号 IN, 漏极端接输入晶体管 1 的基底, 栅极端接输出讯号 OUT (当偏压晶体管 55 为 P 型) 或反相输出讯号 XOUT (当偏压晶体管 55 为 N 型)。当输入信号 IN 为低电位时, 输入晶体管 1 截止, 输出讯号 OUT 也为低电位, 偏压晶体管 55 导通, 当输入信号 IN 由低电位向高电位转变时将其引入输入晶体管 1 的基底。当输入晶体管 1 已经完成向导通的翻转, 输出讯号 OUT 变为高电位, 偏压晶体管 55 截止, 停止对输入晶体管 1 基底的高电位偏置。此种偏置方式虽简单, 但在集成电路的电源和信号电平趋于低电压化的今天, 此种借助于输入信号的低电平对输入晶体管 1 的基底进行偏置的方式效果有限。

申请号为 10/342,172 的美国专利申请披露了另一种位阶转换器电路如图 1C 所示, 偏压晶体管 26 的源极端接地, 漏极端接输入晶体管 24 的基底, 栅极端接输入信号 IN。当输入信号 IN 为低电位时, 输入晶体管 24 和偏压

晶体管 26 均截止，输出讯号 OUT 为高电位，此时输入晶体管 24 的基底靠自身电荷积累预先建立偏置电压，当输入信号 IN 由低电位向高电位转变时加速输入晶体管 24 的翻转。此种偏置方式实际上并未在输入晶体管的基底外加任何偏置电压。偏置晶体管的作用只是在输入晶体管完成从截止向导通的翻转时将其基底零偏置，减小流入输入晶体管基底的贯通电流，并且可以提高输入晶体管的临界电压，以便在输入信号从高电位向低电位变化时加速输入晶体管向截止状态的翻转。

由此可见，上述现有的位阶转换器仍存在有诸多的缺陷，而亟待加以进一步改进。为了解决位阶转换器存在的问题，相关厂商莫不费尽心思来谋求解决之道，但长久以来一直未见适用的设计被发展完成，而一般产品又没有适切的结构能够解决上述问题，此显然是相关业者急欲解决的问题。

有鉴于上述现有的位阶转换器存在的缺陷，本发明人基于从事此类产品设计制造多年丰富的实务经验及专业知识，积极加以研究创新，以期创设一种新型的位阶转换器，使其不但电路简单而且具有更好的基底偏置效果。

发明内容

本发明的目的在于提供一种基底偏置效果更好的位阶转换器，所要解决的技术问题是借助简单的偏置电路，向输入晶体管的基底加入高于输入信号电平的偏置电压，以进一步降低输入晶体管的临界电压，使输入讯号转换时电路的翻转速度更加快速，并且可以适应集成电路的电源和信号电平低电压化的发展趋势，从而更加适于实用，且具有产业利用价值。

本发明的目的及解决其技术问题是采用以下技术方案实现的。依据本发明提出的一种位阶转换器，电性耦接至一电压源、一第一时钟讯号与一第二时钟讯号。该位阶转换器包括一开关电路、一第一晶体管组和一第二晶体管组。

该开关电路具有一第一输出端与一第二输出端，接收该电压源。

该第一晶体管组，包括一第一输入晶体管和第一偏压晶体管。其中该第一输入晶体管具有漏极端、源极端、栅极端与基底，该第一输入晶体管的漏极端耦接至该第一输出端，该第一输入晶体管的源极端接地，该第一输入晶体管的栅极端接收该第一时钟讯号；该第一偏压晶体管，具有漏极端、源极端与栅极端。

该第二晶体管组一端电性耦接于该第二输出端，另一端接地，以该第二时钟讯号决定该第二输出端与地之间导通与否。

本发明的位阶转换器的特征在于，该第一偏压晶体管的漏极端耦接至该第一输出端，该第一偏压晶体管的源极端耦接至该第一输入晶体管的基底，该第一偏压晶体管的栅极端接收该第一时钟讯号与该第二时钟讯号其中之一。

本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

前述的位阶转换器，其中所述的开关电路包括一第一开关晶体管和一第二开关晶体管。该第一开关晶体管具有漏极端、源极端与栅极端，该第一开关晶体管的漏极端耦接至该电压源，该第一开关晶体管的源极端与栅极端耦接至该第一输出端；该第二开关晶体管具有漏极端、源极端与栅极端，该第二开关晶体管的漏极端耦接至该电压源，该第二开关晶体管的源极端耦接至该第二输出端，该第二开关晶体管的栅极端耦接至该第一输出端。

前述的位阶转换器，其中所述开关电路包括一第一开关晶体管和一第二开关晶体管。该第一开关晶体管具有漏极端、源极端与栅极端，该第一开关晶体管的漏极端耦接至该电压源，该第一开关晶体管的源极端耦接至该第一输出端，该第一开关晶体管的栅极端耦接至该第二输出端；该第二开关晶体管具有漏极端、源极端与栅极端，该第二开关晶体管的漏极端耦接至该电压源，该第二开关晶体管的源极端耦接至该第二输出端，该第二开关晶体管的栅极端耦接至该第一输出端。

前述的位阶转换器，其中所述的第一晶体管组的该第一输入晶体管与该第一偏压晶体管为N型金属氧化物半导体，该第一偏压晶体管的栅极端耦接至该第一时钟讯号。

前述的位阶转换器，其中所述的第一晶体管组的该第一输入晶体管为N型金属氧化物半导体，该第一偏压晶体管为P型金属氧化物半导体，该第一偏压晶体管的栅极端耦接至该第二时钟讯号。

前述的位阶转换器，其中所述的第二晶体管组包括一第二输入晶体管和一第二偏压晶体管。该第二输入晶体管具有漏极端、源极端、栅极端与基底，该第二输入晶体管的漏极端耦接至该第二输出端，该第二输入晶体管的源极端接地，该第二输入晶体管的栅极端接收该第二时钟讯号；该第二偏压晶体管具有漏极端、源极端与栅极端，该第二偏压晶体管的漏极端耦接至该第二

输入晶体管的栅极端,该第二偏压晶体管的源极端耦接至该第二输入晶体管的基底,该第二偏压晶体管的栅极端耦接至该第二输出端与该第一输出端其中之一。

前述的位阶转换器,其中所述的第二晶体管组的该第二输入晶体管与该第二偏压晶体管为N型金属氧化物半导体,该第二偏压晶体管的栅极端耦接至该第二输出端。

前述的位阶转换器,其中所述的第二晶体管组的该第二输入晶体管为N型金属氧化物半导体,该第二偏压晶体管为P型金属氧化物半导体,该第二偏压晶体管的栅极端耦接至该第一输出端。

前述的位阶转换器,其中所述的第二晶体管组包括一第二输入晶体管和一第二偏压晶体管。该第二输入晶体管具有漏极端、源极端、栅极端与基底,该第二输入晶体管的漏极端耦接至该第二输出端,该第二输入晶体管的源极端接地,该第二输入晶体管的栅极端接收该第二时钟讯号;该第二偏压晶体管具有漏极端、源极端与栅极端,该第二偏压晶体管的漏极端耦接至该第二输出端,该第二偏压晶体管的源极端耦接至该第二输入晶体管的基底,该第二偏压晶体管的栅极端接收该第二时钟讯号与该第一时钟讯号其中之一。

前述的位阶转换器,其中所述的第二晶体管组的该第二输入晶体管与该第二偏压晶体管为N型金属氧化物半导体,该第二偏压晶体管的栅极端耦接至该第二时钟讯号。

前述的位阶转换器,其中所述的第二晶体管组的该第二输入晶体管为N型金属氧化物半导体,该第二偏压晶体管为P型金属氧化物半导体,该第二偏压晶体管的栅极端耦接至该第一时钟讯号。

由以上技术方案可知,本发明的位阶转换器是将输出端电压通过偏压晶体管的漏极、源极引入输入晶体管的基底,由于位阶转换器的输出讯号电平明显高于输入讯号电平,所以相对于将输入讯号电压引入输入晶体管基底的偏置方式或相对于输入晶体管截止时靠电荷积累建立偏置电压的方式,本发明的位阶转换器具有以下优点和有益效果:

- 1、当输入讯号为低电位,输入晶体管和偏压晶体管均截止,在输入晶体管的基底建立的静态偏置电压高于输入讯号电压,对输入晶体管基底的偏置强度大,可以进一步降低输入晶体管的临界电压,一旦输入讯号变为高电位,可进一步加快输入晶体管由截止向导通的翻转,并且可以适应输入讯号

电平的低电压化。

2、当输入讯号由低电位跃升为高电位，输入晶体管和偏压晶体管均由截止向导通翻转。如果输入晶体管由截止向导通的翻转过程滞后于偏压晶体管，则由于在翻转过程中偏压晶体管呈现出的导通电阻比输入晶体管呈现出的导通电阻下降快，使输入晶体管的基底偏置电压在静态偏置电压的基础上快速上升，使输入晶体管的临界电压快速下降，更进一步加快输入晶体管由截止向导通的翻转。随后由于输入晶体管呈现出的导通电阻迅速降低，其基底偏置电压也迅速减小。上述现象说明本发明的偏置电路具有自适应功能，可以根据输入晶体管和偏压晶体管的特性差异自动调整偏置电压的大小。

综上所述，本发明的位阶转换器，以比现有的位阶转换器更好的基底偏置效果，而可达到进一步降低临界电压的功能，使得输出讯号的转换速度更快，并且可以适应输入讯号电平的低电压化。本发明的位阶转换器具有上述诸多优点及实用价值，并未见有类似电路公开发表或使用而确属创新，且较现有的位阶转换器具有增强的功效，从而更加适于实用，更具有产业的广泛利用价值，诚为一新颖、进步、实用的新发明。

上述说明仅是本发明技术方案的概述，为了能够更清楚了解本发明的技术手段，并可依照说明书的内容予以实施，以下以本发明的较佳实施例并配合附图详细说明如后。

附图说明

图 1A 是现有的一种位阶转换器的电路图。

图 1B 是申请号为 03101695.2 的中国专利申请披露的一种位阶转换器的电路图。

图 1C 是申请号为 10/342,172 的美国专利申请披露的一种位阶转换器的电路图。

图 2A 是依照本发明较佳实施例的一种 N 型金属氧化物偏压晶体管的位阶转换器电路图。

图 2B 是依照本发明较佳实施例的一种 P 型金属氧化物偏压晶体管的位阶转换器电路图。

图 3A 是依照本发明一较佳实施例的一种第二晶体管组的电路图。

图 3B 是依照本发明一较佳实施例的另一种第二晶体管组的电路图。

图 3C 是依照本发明一较佳实施例的再一种第二晶体管组的电路图。

图 3D 是依照本发明一较佳实施例的又一种第二晶体管组的电路图。

图 4A 是依照本发明一较佳实施例的一种开关电路的电路图。

图 4B 是依照本发明一较佳实施例的另一种开关电路的电路图。

附图符号说明

30、32、50: 位阶转换器	100: 第一晶体管组
102、112、122: 栅极端	132、142、152: 栅极端
502、522、542、552: 栅极端	104、114、124: 漏极端
134、144、154: 漏极端	504、524、544、554: 漏极端
106、116、126: 源极端	136、146、156: 源极端
506、526、546、556: 源极端	108、128、508、528: 基底
130: 第二晶体管组	140: 开关电路
182: 第一输出端	184: 第二输出端
510: 第一基底偏压电路	512、514、532、534: 缓冲器
518、538: 输入端	516、536、560: 输出端
530: 第二基底偏压电路	Mn1: 第一输入晶体管
Mn2: 第二输入晶体管	Mn1*、Mp1*: 第一偏压晶体管
Mn2*、Mp2*: 第二偏压晶体管	Mp1: 第一开关晶体管
Mp2: 第二开关晶体管	

具体实施方式

以下结合附图及较佳实施例，对依据本发明提出的位阶转换器其具体实施方式、结构、特征及其功效，详细说明如后。

在图 2A 所示的本发明一较佳实施例的位阶转换器的电路图中，位阶转换器 30 是电性耦接至电压源、第一时钟讯号与第二时钟讯号。该位阶转换器 30 包括第一晶体管组 100、第二晶体管组 130 与开关电路 140。

在本实施例中，第一晶体管组 100 包括第一输入晶体管 Mn1 与第一偏压晶体管 Mn1*，均为 N 型金属氧化物半导体。该第一输入晶体管 Mn1 具有漏极端 104、源极端 106、栅极端 102 与基底 108。第一输入晶体管 Mn1 的漏极端 104 耦接至第一输出端 182，第一输入晶体管 Mn1 的源极端 106 接地，栅极端

102 接收并根据第一时钟讯号决定是否导通第一输入晶体管 Mn1。第一偏压晶体管 Mn1* 具有漏极端 114、源极端 116 与栅极端 112, 第一偏压晶体管 Mn1* 的漏极端 114 耦接至第一输出端 182, 源极端 116 耦接至第一输入晶体管 Mn1 的基底 108, 栅极端 112 接收并根据第一时钟讯号决定是否导通第一偏压晶体管 Mn1*。

图 2B 所示的本发明另一较佳实施例的位阶转换器与图 2A 不同之处在于, 第一偏压晶体管 Mp1* 为 P 型金属氧化物半导体, 且第一偏压晶体管 Mp1* 的栅极端 112 耦接至第二时钟讯号, 并根据第二时钟讯号决定是否导通。

在本发明的较佳实施例中, 第二晶体管组 130 可以有多种类型, 甚至也可以是现有的基底偏压电路。图 3A 至图 3D 分别表示出本发明较佳实施例的四种第二晶体管组的电路, 但均不以此为限。

请参阅图 3A 所示, 第一种第二晶体管组 130 包括第二输入晶体管 Mn2 与第二偏压晶体管 Mn2*, 均为 N 型金属氧化物半导体。该第二输入晶体管 Mn2 具有漏极端 124、源极端 126、栅极端 122 与基底 128, 第二输入晶体管 Mn2 的漏极端 124 耦接至第二输出端 184, 第二输入晶体管 Mn2 的源极端 126 接地, 第二输入晶体管 Mn2 的栅极端 122 接收第二时钟讯号。而第二偏压晶体管 Mn2* 具有漏极端 134、源极端 136 与栅极端 132, 第二偏压晶体管 Mn2* 的漏极端 134 耦接至第二输入晶体管 Mn2 的漏极端 124, 第二偏压晶体管 Mn2* 的源极端 136 耦接至第二输入晶体管 Mn2 的基底, 第二偏压晶体管 Mn2* 的栅极端 132 耦接至第二输入晶体管 Mn2 的栅极端 122。

请参阅图 3B 所示, 第二种第二晶体管组 130 包括第二输入晶体管 Mn2 与第二偏压晶体管 Mn2*, 均为 N 型金属氧化物半导体。该第二输入晶体管 Mn2 具有漏极端 124、源极端 126、栅极端 122 与基底 128, 第二输入晶体管 Mn2 的漏极端 124 耦接至第二输出端 184, 第二输入晶体管 Mn2 的源极端 126 接地, 第二输入晶体管 Mn2 的栅极端 122 接收第二时钟讯号。第二偏压晶体管 Mn2* 具有漏极端 134、源极端 136 与栅极端 132, 第二偏压晶体管 Mn2* 的漏极端 134 耦接至第二输入晶体管 Mn2 的栅极端 122, 第二偏压晶体管 Mn2* 的源极端 136 耦接至第二输入晶体管 Mn2 的基底 128, 第二偏压晶体管 Mn2* 的栅极端 132 耦接至第二输入晶体管 Mn2 的漏极端 124。

请参阅图 3C 所示, 第三种第二晶体管组 130 包括第二输入晶体管 Mn2 与第二偏压晶体管 Mp2*, 其中第二输入晶体管 Mn2 为 N 型金属氧化物半导体,

第二偏压晶体管 Mp2* 为 P 型金属氧化物半导体。该第二输入晶体管 Mn2 具有漏极端 124、源极端 126、栅极端 122 与基底 128，第二输入晶体管 Mn2 的漏极端 124 耦接至第二输出端 184，第二输入晶体管 Mn2 的源极端 126 接地，第二输入晶体管 Mn2 的栅极端 122 接收第二时钟讯号。而第二偏压晶体管 Mp2* 具有漏极端 134、源极端 136 与栅极端 132，第二偏压晶体管 Mp2* 的漏极端 134 耦接至第二输入晶体管 Mn2 的漏极端 124，第二偏压晶体管 Mp2* 的源极端 136 耦接至第二输入晶体管 Mn2 的基底 128，第二偏压晶体管 Mp2* 的栅极端 132 则可以是耦接至第一输出端 182 或第一输入晶体管 Mn1 的栅极端 102。

请参阅图 3D 所示，第四种第二晶体管组 130 包括第二输入晶体管 Mn2 与第二偏压晶体管 Mp2*，其中第二输入晶体管 Mn2 为 N 型金属氧化物半导体，第二偏压晶体管 Mp2* 为 P 型金属氧化物半导体。该第二输入晶体管 Mn2 具有漏极端 124、源极端 126、栅极端 122 与基底 128，第二输入晶体管 Mn2 的漏极端 124 耦接至第二输出端 184，第二输入晶体管 Mn2 的源极端 126 接地，第二输入晶体管 Mn2 的栅极端 122 接收第二时钟讯号。第二偏压晶体管 Mp2* 具有漏极端 134、源极端 136 与栅极端 132，第二偏压晶体管 Mp2* 的漏极端 134 耦接至第二输入晶体管 Mn2 的栅极端 122，第二偏压晶体管 Mp2* 的源极端 136 耦接至第二输入晶体管 Mn2 的基底 128，第二偏压晶体管 Mp2* 的栅极端 132 则可以是耦接至第一输出端 182 或第一输入晶体管 Mn1 的栅极端 102。

请再接着参阅图 4A 所示，是依照本发明一较佳实施例的一种开关电路的电路图。该开关电路 140，其包括第一开关晶体管 Mp1 与第二开关晶体管 Mp2。该第一开关晶体管 Mp1 具有漏极端 144、源极端 146 以及栅极端 142，第一开关晶体管 Mp1 的漏极端 144 耦接至电压源，第一开关晶体管 Mp1 的源极端 146 耦接至第一输出端 182，第一开关晶体管 Mp1 的栅极端 142 耦接至第二输出端 184。第二开关晶体管 Mp2 具有漏极端 154、源极端 156 与栅极端 152，第二开关晶体管 Mp2 的漏极端 154 耦接至电压源，第二开关晶体管 Mp2 的源极端 156 耦接至第二输出端 184，第二开关晶体管 Mp2 的栅极端 152 耦接至第一输出端 182。

请参阅图 4B 所示，是依照本发明一较佳实施例的另一种开关电路的电路图。在本实施例中，开关电路 140 包括第一开关晶体管 Mp1 与第二开关晶体管 Mp2。其中，第一开关晶体管 Mp1 具有漏极端 144、源极端 146 与栅极

端 142, 该第一开关晶体管 Mp1 的漏极端 144 耦接至电压源, 第一开关晶体管 Mp1 的源极端 146 与栅极端 142 耦接至第一输出端 182。而第二开关晶体管 Mp2 具有漏极端 154、源极端 156 与栅极端 152, 第二开关晶体管 Mp2 的漏极端 154 耦接至电压源, 第二开关晶体管 Mp2 的源极端 156 耦接至第二输出端 184, 第二开关晶体管 Mp2 的栅极端 152 耦接至第一开关晶体管 Mp1 的栅极端 142。

当图 2A 的位阶转换器 30 与图 3A 的第二晶体管组 130 搭配时, 其动作方式为当第一时钟讯号为逻辑高电位, 第二时钟讯号为逻辑低电位时, 第一输入晶体管 Mn1 与第一偏压晶体管 Mn1* 被导通, 第二输入晶体管 Mn2 与第二偏压晶体管 Mn2* 未导通。因此, 第一输出端 182 上的讯号为逻辑低电位, 第二输出端 184 上的讯号为逻辑高电位。此时, 第一输入晶体管 Mn1 的基底 108 为逻辑低电位, 在第二输入晶体管 Mn2 的基底 128 建立了静态偏置电压。

当讯号开始转换时, 即第一时钟讯号由逻辑高电位转为逻辑低电位, 第二时钟讯号由逻辑低电位转为逻辑高电位时, 第二输入晶体管 Mn2 与第二偏压晶体管 Mn2* 将被导通, 第二输出端 184 上的讯号仍为逻辑高电位, 此时, 第二输入晶体管 Mn2 拥有较低的临界电压, 快速导通, 以缩短讯号的转换时间, 直至第二输出端 184 上的讯号为逻辑低电位。

当图 2B 的位阶转换器 32 与图 3C 的第二晶体管组 130 搭配时, 第二偏压晶体管 Mp2* 的栅极端 132 接收第一时钟讯号。位阶转换器 32 的动作方式为当第一时钟讯号为逻辑高电位, 第二时钟讯号为逻辑低电位时, 第一输入晶体管 Mn1 与第一偏压晶体管 Mp1* 被导通, 第二输入晶体管 Mn2 与第二偏压晶体管 Mp2* 未导通。因此, 第一输出端 182 上的讯号为逻辑低电位, 第二输出端 184 上的讯号为逻辑高电位。此时, 第一输入晶体管 Mn1 的基底 108 为逻辑低电位, 在第二输入晶体管 Mn2 的基底 128 建立了静态偏置电压。

当讯号开始转换时, 即第一时钟讯号由逻辑高电位转为逻辑低电位, 第二时钟讯号由逻辑低电位转为逻辑高电位时, 第二输入晶体管 Mn2 与第二偏压晶体管 Mp2* 将被导通, 第二输出端 184 上的讯号仍为逻辑高电位, 此时, 第二输入晶体管 Mn2 拥有较低的临界电压, 快速导通, 以缩短讯号的转换时间, 直至第二输出端 184 上的讯号为逻辑低电位。

在本发明的较佳实施例中, 图 2A 与图 2B 的位阶转换器可分别与图 3A、图 3B、图 3C 与图 3D 中任何一个第二晶体管组 130 作搭配。而其搭配时的动

作方式则与上述的各种搭配的动作方式类似。另外,搭配时的耦接关系则亦以上述的各种搭配的耦接关系为基准作变化,但均不以此为限。

在本发明的较佳实施例中,当第一偏压晶体管 M_{p1} 为 P 型金属氧化物半导体时,除了上述的连接方式之外,也可以采用在栅极端 112 与第一输出端 182 间电性耦接反相器的方式为之。

本发明也可以只采用一个偏压晶体管向一个输入晶体管的基底提供偏置电压,使位阶转换器的电路更为简化,而同样能达到降低临界电压的效果。

在本发明的较佳实施例中,第一晶体管组 100、第二晶体管组 130 与开关电路 140 的组合自当不以上述为限。

综合以上所述,本发明的位阶转换器强化对输入晶体管的基底偏置,因而能达到进一步降低临界电压的效果。因此可在不影响电路原有功能的条件下,使得讯号转换速度更快,更加适应于输入讯号电平的低电压化。

以上所述,仅是本发明的较佳实施例而已,并非对本发明作任何形式上的限制,虽然本发明已以较佳实施例揭露如上,然而并非用以限定本发明,任何熟悉本专业的技术人员,在不脱离本发明技术方案范围内,当可利用上述揭示的技术内容作出些许更动或修饰为等同变化的等效实施例,但凡是未脱离本发明技术方案的内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本发明技术方案的范围内。

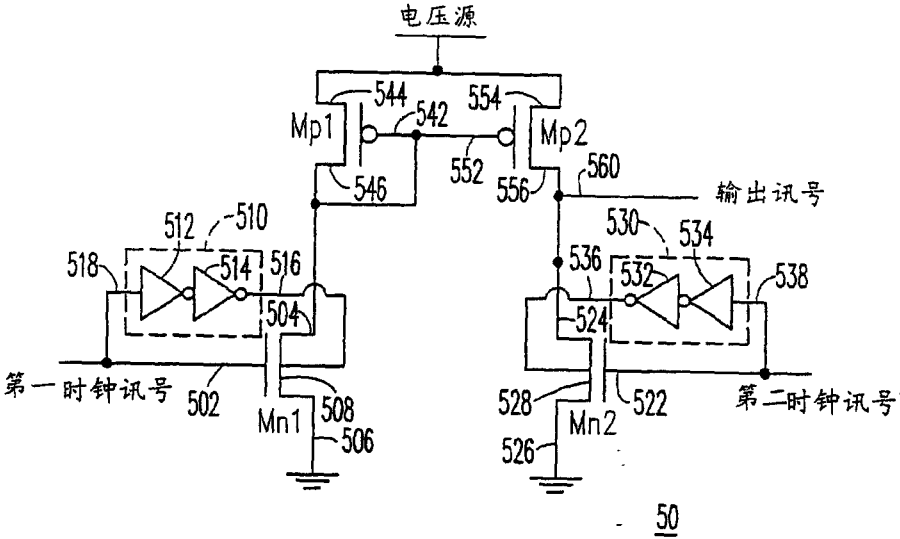


图 1A

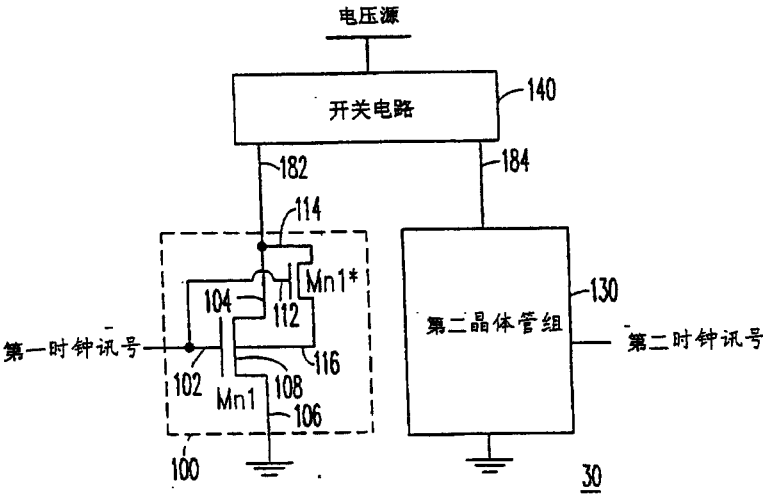


图 2A

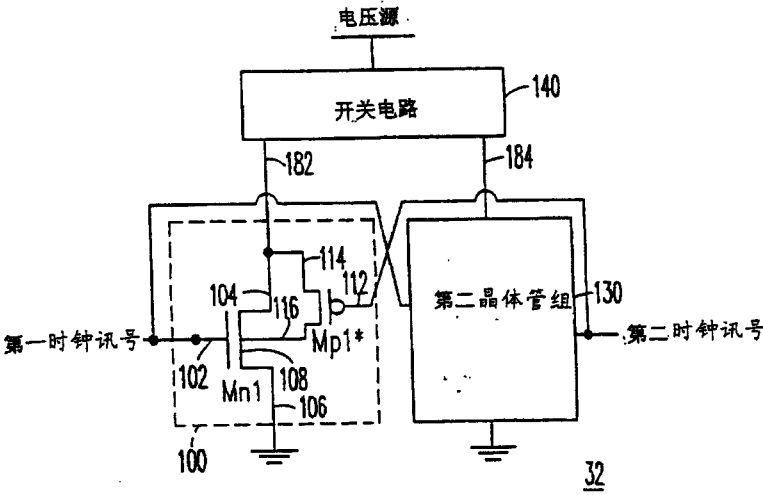


图 2B

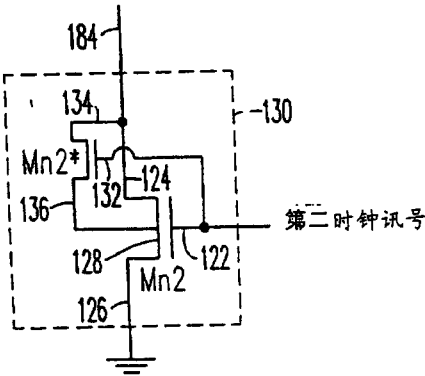


图 3A

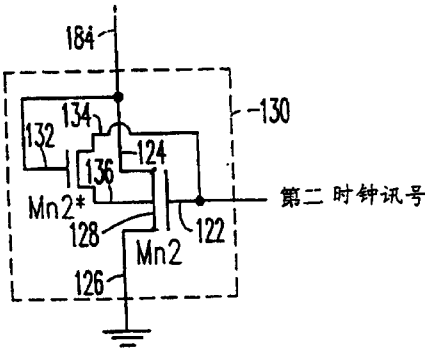


图 3B

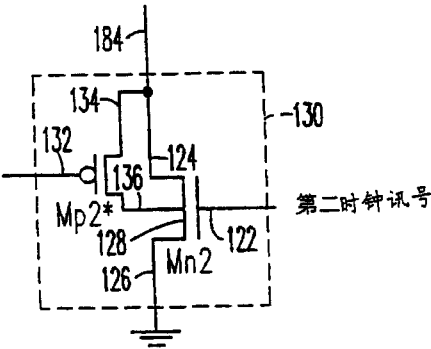


图 3C

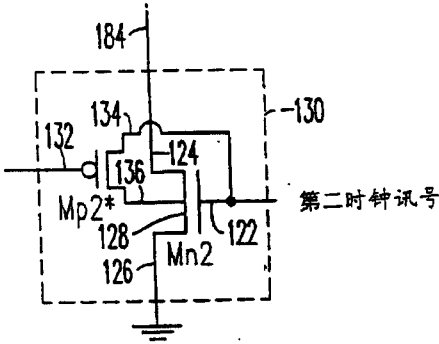


图 3D

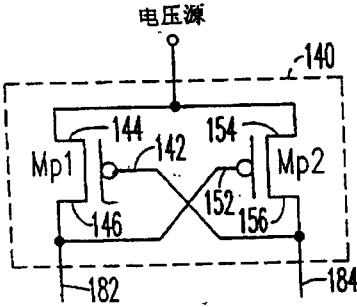


图 4A

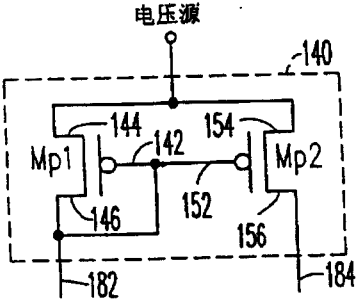


图 4B